

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

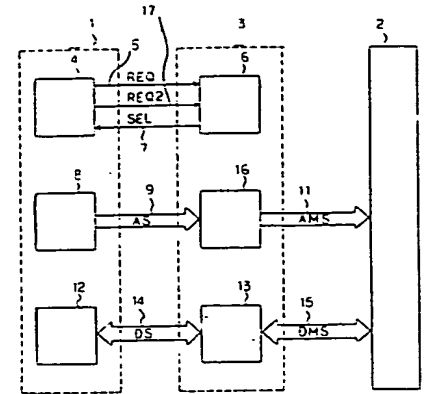
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

- (54) **SYSTEM FOR CONTROLLING MAIN STORAGE**
 (11) 1-276259 (A) (43) 6.11.1989 (19) JP
 (21) Appl. No. 63-104757 (22) 27.4.1988
 (71) MITSUBISHI ELECTRIC CORP (72) TAKUMI SAITO
 (51) Int. Cl. G06F13/12

PURPOSE: To reduce an address transfer with a channel device and to cause a memory access to be high-speed by omitting the address transfer with the channel device at the time of using a next address signal and executing a data transfer with a main storage device.

CONSTITUTION: A holding means (address counter 16) to calculate and hold at next address signal to an address signal outputted beforehand from a channel device 1 is provided to a main storage control device 3. At the time of receiving an instruction as to whether a request is a transfer request to use the next address signal or not from a channel device 1 and using a next address, the address transfer with the channel device 1 is omitted, and the data transfer with a main storage device 2 is executed. Namely, when the main storage control device 3 accepts the transfer request to use the next address signal from the channel device 1, by using the next address held in the address counter 16, the address transfer with the channel device 1 is omitted, and the data transfer with the main storage device 2 is executed. In such a way, by reducing the address transfer with the channel device 1, the memory access is made high-speed.

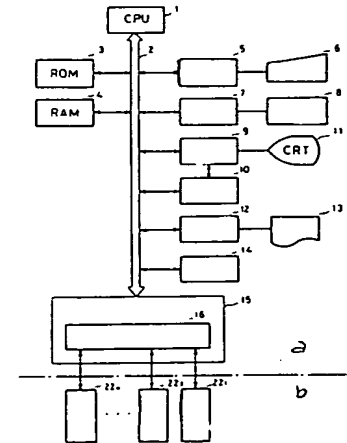


4: transfer requesting circuit, 5: transfer request line, 7: transfer permission line, 8: main storage address register, 9, 11: address bus, 12, 13: data holding register, 14, 15: data bus, 17: successive address transfer request line

- (54) **SYSTEM FOR READING INTERRUPTION VECTOR**
 (11) 1-276260 (A) (43) 6.11.1989 (19) JP
 (21) Appl. No. 63-104920 (22) 27.4.1988
 (71) NEC CORP (72) SHU YOSHIDA
 (51) Int. Cl. G06F13/24, G06F9/46

PURPOSE: To simplify the constitution of a hard soft by reading an interruption vector as an interruption from a basic device only once when the interruption is generated from external equipment except for a connection board in the basic device and reading the interruption vector as the interruption from an extended device two times when the interruption from the connection board is generated.

CONSTITUTION: An interrupting signal from the interface panel of the extended external equipment is made into the interrupting signal from a connection board 16 to a CPU 1, and the CPU 1 requests an interruption vector sending to the basic device. The CPU 1 to read the received interruption vector and to know the interruption from the connection board 16 reads the interruption vector from the extended external equipment through the connection board 16 and starts an interruption processing from the extended external equipment. In such a way, for the external equipment of the extended device, the connection board 16 is considered to have the same function as the CPU 1, and it is sufficient to send the interruption vector only once. Thus, the hardware of the same specification as the external equipment of the basic device can be used as a conventional case.

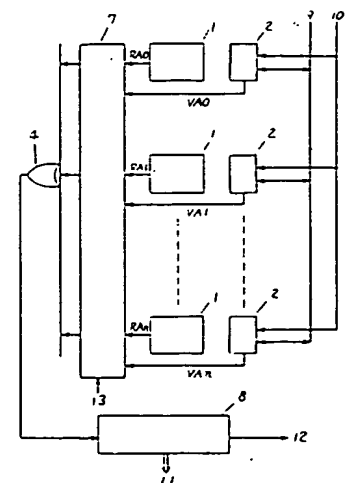


5: keyboard I/O, 6: keyboard, 7: disk I/O, 8: floppy disk, 10: display memory, 12: printer I/O, 13: printer, 14: line I/O, 15: interface for extending, 22: extended board, 22a: external control device, 22b: extended external equipment, a: basic device, b: extended device

- (54) **INTERRUPTION CONTROL DEVICE**
 (11) 1-276261 (A) (43) 6.11.1989 (19) JP
 (21) Appl. No. 63-104524 (22) 27.4.1988
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) KATSUHIRO HIRAYAMA
 (51) Int. Cl. G06F13/26, G06F9/46

PURPOSE: To form an interruption control device with a high interruption responsiveness by causing the sequence of the coupling of a daisy chain to be variable according to a value set to an interruption prior level register.

CONSTITUTION: A variable daisy chain 7 has a characteristic to be set at a prior level to be originally provided on a hardware when values on respective prior registers 2 in an initial condition, namely, after they are reset are all in a condition to be reset or when the values in respective prior registers 2 are plurally the same. By causing the daisy chain 7 to be variable according to a priority set to the prior level registers 2 to respective interruptions by means of a program by a user, a processing can be executed by surely accepting the interruptions successively in the priority according to the intention of the user program, namely, an emergency degree. Thus, the interruption control device can be realized in which an overhead at the time of accepting the interruption is canceled and which is excellent in the responsiveness.



1: interruption factors A_0-A_m 8: interruption accepting circuit

JP01276261 A 19891106 Heisei

AI JP1988-104524 (JP63104524 Heisei) 19880427

SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: P, Sect.
No.

996, Vol. 14, No. 44, P. 149 (19900126)

IC ICM (4) G06F013-26
ICS (4) G06F009-46

CC 45.2 INFORMATION PROCESSING - Memory unit
45.1 INFORMATION PROCESSING - Arithmetic sequence units

CT R131 INFORMATION PROCESSING - Microcomputer (Microprocessor)

AB PURPOSE: To form an interruption control device with a high
interruption
responsiveness by causing the sequence of the coupling of a daisy
chain to
be variable according to a value set to an interruption prior level
register.
CONSTITUTION: A variable daisy chain 7 has a characteristic to be set
at a
prior level to be originally provided on a hardware when values on
respective prior registers 2 in an initial condition, namely, after
they
are reset are all in a condition to be reset or when the values in
respective prior registers 2 are plurally the same. By causing the
daisy
chain 7 to be variable according to a priority set to the prior level
registers 2 to respective interruptions by means of a program by a
user, a
processing can be executed by surely accepting the interruptions
successively in the priority according to the intention of the user
program, namely, an emergency degree. Thus, the interruption control
device can be realized in which an overhead at the time of accepting
the
interruption is canceled and which is excellent in the responsiveness.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-276261

⑬ Int. Cl. 4

G 06 F 13/26
9/46

識別記号

3 1 0
3 2 2

庁内整理番号

F-8840-5B
G-7056-5B

⑭ 公開 平成1年(1989)11月6日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 割込み制御装置

⑯ 特 願 昭63-104524

⑰ 出 願 昭63(1988)4月27日

⑱ 発 明 者 平 山 勝 啓 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏 男 外1名

明 細 書

1. 発明の名称

割込み制御装置

2. 特許請求の範囲

複数の割込み要因に対し、各々任意の割込み優先レベルを設定する手段とその設定された割込み優先レベルを保持する割込み優先レベルレジスタ群を有し、また各割込み要求発生回路はデジタイチェーンにより順番に結合され優先レベルを決定する手段をも有し、かつデジタイチェーンは前記の設定された割込み優先レベルに従って、自動的にその結合の順番を組み換える機能をそなえたことを特徴とする割込み制御装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、複数の割込みを高速に処理するプロセッサの割込み制御装置に関する。

従来の技術

近年、多くのマイクロプロセッサを応用したシステムが開発され、その規模は大規模化、複雑化

してきている。応用システムに組み込まれるプロセッサは、一般にシステム全体の管理を行う場合が多いが、その担当する仕事(以下タスクと呼ぶ)数は増加する一方である。プロセッサにおけるタスクの起動は、外部的あるいは内部的に発生した割込み信号によるものが多いため、プロセッサは多くの割込みを管理、処理する必要が出て来ている。割込みの中には、緊急度の高いものや低いものと言った種々の割込みがあり、その応用システムにとって、最適で効率的な処理を行う割込み制御装置が必要になってきている。

従来技術による割込み制御装置の例を、第2図を用いて説明する。第2図は、BO...Bnのn個の割込み要因1を制御するものであり、それぞれの割込み要因に対してデータバス9、アドレスバス10を用いて任意に設定可能な割込み優先レジスタ2を設け、それぞれの割込み要因からの割込み要求信号RBO...RBnは、順番にデジタイチェーンにより結合され、各割込み要求から1つの割込みとその割込み優先レベルを受取り、プ

ロセッサへの割込み処理起動信号11と受け付けられた割込み要因のリセット信号を出力する割込み受け回路6により構成される。

第2図に示す従来構成による動作は、ある1つの割込み要因 B_m ($0 \leq m \leq n$ の自然数)が発生した場合、割込み要求信号 RB_m とその割込み優先レベル VB_m が割込み受け回路6に送付され、プロセッサ側が受け付け可能状態であれば割込み要因 B_m は即時に受け付けられ処理され、割込み要因 B_m に対してその割込み要求が受け付けられたことを示し、その要因をクリアするリセット信号を送付する。この場合、プロセッサが既に他の割込み要因 B_i を処理中であった場合、その処理中の割込み優先レベル VB_i が先の割込みのそれ VB_m よりも小さかった場合は、割込み要因 B_i の処理が中断され、先に割込み要因 B_m に対する処理が実行され、終了後、割込み要因 B_i に対する処理が再開される。また複数の同一優先レベルの割込み要因 B_i と同 B_{i+1} が同時に発生した場合、その両方の優先レベル VB_i と VB_{i+1}

とは同一の値であるが、デジタイゼーションで優先レベルの高い VB_i が先に処理され、割込み要因 B_i の処理後も割込み要求 RB_{i+1} が発生しており、かつ他に VB_{i+1} よりも高い割込み優先レベルが発生しておらず、かつ、デジタイゼーションによって他に B_{i+1} よりも高い優先レベルの割込みが発生していなければ、割込み要因 B_{i+1} が続いて受理され処理される。しかしながら、割込み要因 B_0 と B_n の2つが同時に発生し、かつそれぞれの割込み優先レベルが、 $VB_0 < VB_n$ と設定されていた場合、デジタイゼーションによるハードウェア上の優先レベルが優先されるため、一旦割込み要因 B_0 をプロセッサは受け付け、その後他に B_n よりも優先レベルの高い割込みが発生していなければ、先に受け付けた割込み要因 B_0 の処理を中断し、割込み要因 B_n を受け付けられ処理されることになる。一般的に、プログラムにより割込み優先レベルレジスタに設定された値は、ユーザの緊急度を表わすものであり、ユーザによって優先指定を受けた割込み要因 B_n がプロセッサ

に受け付けられ処理が開始されるまでに、前述の様な不必要な時間がかかり割込み受理に対するオーバーヘッドが発生し、かかる従来技術によれば割込みの応答性を悪くする場合があった。

発明が解決しようとする課題

前述の従来技術の説明で明らかな様に、かかる従来技術によれば、複数の割込みが同時に発生し、かつそれぞれのソフトウェア上の割込み優先レベルが、デジタイゼーションによるハードウェア上の優先レベルとは逆向きに設定されていた場合、ソフトウェア上の最高優先レベルの割込みが受け付けられるまでに、不必要な時間を要するという不都合があった。本発明は、かかる問題点を解決し、割込み応答性の高い割込み制御装置を提供することを目的とする。

課題を解決するための手段

本発明では、割込み優先レジスタによる優先レベルを優先的に制御させるべく、デジタイゼーションを割込み優先レベルレジスタに設定された値に従って、組み換える機能をそなえた割込み制御装

置である。

作用

本発明によると、割込み優先レベルレジスタに設定された値に従って、デジタイゼーションの結合の順番を可変にすることにより、従来技術における複数の割込みが発生したときの割込み受けのオーバーヘッドという問題は解決され、割込み応答性の高い割込み制御装置を提供できる。

実施例

以下本発明の一実施例について、図面を参照しながら説明する。

第1図は、本発明の一実施例における割込み制御方式の構成を示すものである。第1図において、1は割込み要因、2は割込みに対する優先レベルを設定するレジスタ、7は割込み優先レベルレジスタ2に設定された値によりデジタイゼーションの結合の順番を変更することのできる可変デジタイゼーション、4は各割込み要求信号のワイヤードOR回路、8は割込み受け回路、9および10は割込み優先レジスタ2に対しアクセス（読み出

し・書き込み)するためのデータバス・アドレスバスをそれぞれ示す。

つぎに、本実施例の割込み制御装置について以下その動作について説明する。まず、ある1つの割込みA_mが発生した場合、その割込み要求信号R A_mが可変デジチチェーン7を通して、割込み受付回路8に送付し、それが受け付けられた場合、割込み受付信号を信号線11を通して、プロセッサ側へ送付し処理を開始し、割込み要因A_mに対してその割込み要求をクリアする信号をリセット信号線12に送付する。この場合、プロセッサ側で既にある割込みA_ℓを処理中であった場合、割込み優先ベクトルV A_ℓがV A_mよりも大かあるいは等値であれば、割込みA_mはA_ℓの処理終了を待ってから受け付けられる。V A_ℓがV A_mよりも小さい場合、割込み処理A_ℓは中断され処理A_mを先に処理する。可変デジチチェーン7は、初期状態すなわちリセット後の各優先レジスタ2内の値は全てリセットされた状態あるいは各優先レジスタ2内の値が複数同一であった

場合、ハードウェア上でもともと有する優先レベルに設定される特性を有している。本実施例の場合、A P R 0 …… A P R n 全てが同一のレベルに設定されていた場合、可変デジチチェーン7は、A 0 …… A n の順に結合され、A 0 が最も高い優先順位を保持する。従って複数の同一レベルの割込みが発生した場合は、前記の様な可変デジチチェーン7による優先レベルに従って順番に、各割込みが処理されることになる。

同様に複数の優先レベルレジスタの値がそれぞれ異なる割込みが発生した場合は、可変デジチチェーンは各割込み優先レベルレジスタの値に従ってその結合の順番を変更し、それによって設定された優先レベルに従って順番に各割込みが処理される。

以上の様に本実施例によれば、デジチチェーンをユーザがプログラムにより各割込みに対する優先レベルレジスタに設定した優先順位に従って可変にすることにより、ユーザプログラムの意志に従った優先順位、つまり緊急度合により確実に

順番に割込みを受け付けて処理することができ、割込み受け付け時におけるオーバーヘッドを解消した応答性に優れた割込み制御装置を実現することができる。

発明の効果

本発明によれば、複数の割込み要因に対し、各各任意の割込み優先レベルをソフトウェア的に決定する手段とその設定された割込み優先レベルを保持する割込み優先レベルレジスタを備え、また各割込み要求発生回路はデジチチェーンにより順番に結合されハードウェア的に優先レベルを決定する手段と該デジチチェーンは前記のソフトウェア的に設定された割込み優先レベルに従って、自動的にその結合の順番を組み換えることができる可変デジチチェーンを備えたことにより、複数の割込みが同時に発生した場合においても、割込み受け付け処理のオーバーヘッドを解消し、かつ確実にユーザがプログラムにより設定した優先順位に従って順番に割込みを受け付け・処理を行うことができる応答性の優れた割込み制御装置を提供することができる。

置を提供することができる。

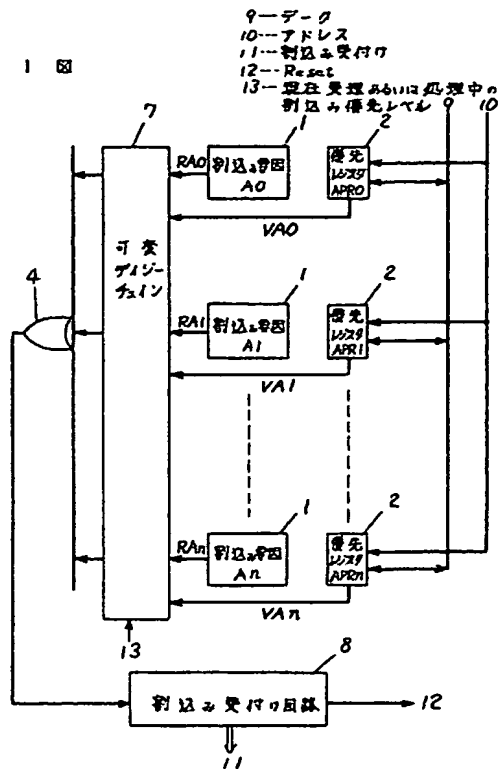
4、図面の簡単な説明

第1図は本発明の一実施例である割込み制御方式を示すブロック図、第2図は従来の技術による割込み制御方式を示すブロック図である。

1 …… 割込み要因、2 …… 割込み優先レベルレジスタ、3 …… デジチチェーン用ゲート、4 …… 割込み要求信号のワイヤドOR回路、5 …… 割込み優先レベル出力スイッチ、6 …… 割込み受け付け回路、7 …… 可変デジチチェーン、8 …… 割込み受け付け回路、9 …… データバス、10 …… アドレスバス、11 …… プロセッサへの割込み受け付け信号(割込み処理開始信号)、12 …… 割込み受け付け返答、13 …… 現在受け付け中あるいは処理中の割込み優先レベル。

代理人の氏名 弁理士 中尾敏男 ほか1名

第 1 図



第 2 図

